

Sommaire

	Avant-propos	XIII
Chapitre 1	Introduction	1
	1.1 Objet de ce livre	1
	1.2 Connaissances préalables	1
	1.3 Sujets abordés	1
	1.4 Objectifs du chapitre	2
	1.5 Évolution des technologies	2
	1.6 Mesure de la performance	3
	1.6.1 MIPS	4
	1.6.2 CPI/IPC	4
	1.6.3 Bancs d'essai	6
	1.6.4 Moyenne géométrique et moyenne arithmétique	6
	1.7 Accélération	7
	1.8 La loi d'Amdahl	8
	1.9 En résumé	9
	Exercices corrigés	9
Chapitre 2	Représentation des données et calcul	21
	2.1 Objectifs	21
	2.2 Des électrons aux bits	21
	2.3 Représentation binaire des entiers positifs	23
	2.4 Opérations arithmétiques sur des entiers positifs	24
	2.4.1 Addition/soustraction	25
	2.4.2 Multiplication	27
	2.4.3 Division	28
	2.4.4 Dépassement/dépassement négatif	28
	2.5 Entiers négatifs	29
	2.5.1 Représentation signe-valeur absolue	29
	2.5.2 Notation en complément à deux	31
	2.5.3 Extension de signe	33

2.6	Nombres à virgule flottante	
2.6.1	NaN et nombres dénormalisés	35
2.6.2	Opérations arithmétiques avec les nombres à virgule flottante	38
2.7	En résumé	40
	Exercices corrigés	43
		44
Chapitre 3	Structure de l'ordinateur	
3.1	Objectifs	57
3.2	Introduction	57
3.3	Programmes	57
3.3.1	Définition	57
3.3.2	Outils de développement de programmes	59
3.4	Systèmes d'exploitation	60
3.4.1	Multiprogrammation	63
3.4.2	Protection	63
3.4.3	Mode prioritaire	65
3.5	Structure de l'ordinateur	65
3.5.1	Le processeur	66
3.5.2	Le système mémoire	66
3.5.3	Le sous-système d'E/S	68
3.6	En résumé	70
	Exercices corrigés	71
		71
Chapitre 4	Modèles de programmation	79
4.1	Objectifs	79
4.2	Introduction	80
4.3	Types d'instructions	81
4.3.1	Opérations arithmétiques	81
4.3.2	Opérations mémoire	84
4.3.3	Comparaisons	85
4.3.4	Opérations de contrôle	85
4.4	Architectures à pile	88
4.4.1	La pile	88
4.4.2	Implémentation des piles	89
4.4.3	Instructions dans une architecture à pile	91
4.4.4	Jeu d'instructions pour les processeurs à pile	92
4.4.5	Programmes dans une architecture à pile	95
4.5	Architectures à registres généraux	96
4.5.1	Instructions dans une architecture à registres généraux	96

	4.5.2	Jeu d'instructions des architectures à registres généraux	98
	4.5.3	Programmes dans une architecture à registres généraux	100
	4.6	Comparaison des architectures à pile et à registres généraux	101
	4.7	Piles et appels de procédure	102
	4.7.1	Utilisation des piles dans l'implémentation des appels de procédure	103
	4.7.2	Conventions d'appel	104
	4.8	En résumé	105
		Exercices corrigés	106
Chapitre 5		Conception des processeurs	115
	5.1	Objectifs	115
	5.2	Introduction	115
	5.3	Architecture de jeu d'instructions (ISA)	116
	5.3.1	RISC et CISC	117
	5.3.2	Modes d'adressage	119
	5.3.3	Instructions vectorielles multimédia	123
	5.3.4	Codages d'instructions à longueur variable et à longueur fixe	125
	5.4	Microarchitecture des processeurs	126
	5.4.1	Unités d'exécution	127
	5.4.2	Microprogrammation	129
	5.4.3	Conception de fichier de registres	130
	5.5	En résumé	131
		Exercices corrigés	132
Chapitre 6		Pipelining	139
	6.1	Objectifs	139
	6.2	Introduction	139
	6.3	Pipelining	140
	6.3.1	Temps de cycle des processeurs pipelinés	142
	6.3.2	Latence de pipeline	144
	6.4	Les aléas d'instructions et leur impact sur le débit	145
	6.4.1	Branchements	148
	6.4.2	Aléas structurels	149
	6.4.3	Marquage des registres	150
	6.5	Prédire le temps d'exécution dans les processeurs pipelinés	151

	6.6 Forwarding de résultat	155
	6.7 En résumé	157
	Exercices corrigés	158
Chapitre 7	Parallélisme d'instructions	172
	7.1 Objectifs	173
	7.2 Introduction	173
	7.3 Qu'est-ce que le parallélisme d'instructions ?	173
	7.4 Les limites du parallélisme d'instructions	175
	7.5 Processeurs superscalaires	176
	7.6 Exécution des instructions IO ou OOO	178
	7.6.1 Prédire les temps d'exécution sur les processeurs IO	179
	7.6.2 Prédire les temps d'exécution sur les processeurs OOO	179
	7.6.3 Problèmes d'implémentation pour les processeurs OOO	180
	7.7 Renommage de registres	182
	7.8 Processeurs VLIW	183
	7.8.1 Principe des processeurs VLIW	186
	7.8.2 Avantages et inconvénients des systèmes VLIW	186
	7.9 Techniques de compilation pour le parallélisme d'instructions	188
	7.9.1 Déroulement de boucle	190
	7.9.2 Pipelining logiciel	190
	7.10 En résumé	193
	Exercices corrigés	193
Chapitre 8	Systèmes mémoire	209
	8.1 Objectifs	209
	8.2 Introduction	209
	8.3 Latence, débit et bande passante	210
	8.3.1 Cas général	210
	8.3.2 Pipelining, parallélisme et préchargement	211
	8.4 Hiérarchies mémoire	214
	8.4.1 Niveaux dans la hiérarchie	216
	8.4.2 Terminologie	216
	8.4.3 Temps d'accès moyens	218

8.5	Technologies mémoire	219
8.5.1	Structure des puces mémoire	219
8.5.2	SRAM	220
8.5.3	DRAM	222
8.5.4	Rafrâichissement de DRAM	223
8.5.5	Temps d'accès à la DRAM	224
8.5.6	Le mode page et les nouvelles DRAM	225
8.6	En résumé	226
	Exercices corrigés	228
Chapitre 9	Caches	237
9.1	Objectifs	237
9.2	Introduction	237
9.3	Caches de données, caches d'instructions et caches unifiés	238
9.4	Description des Caches	240
9.5	Capacité	240
9.6	Longueur de ligne	240
9.7	Associativité	243
9.7.1	Caches associatifs	243
9.7.2	Caches directs	243
9.7.3	Caches associatifs par ensemble	245
9.8	Politiques de remplacement	247
9.9	Caches write-back et write-through	249
9.10	Implémentations de cache	251
9.11	Tableaux d'étiquettes	251
9.12	Logique hit/miss	254
9.13	Tableaux de données	254
9.14	Types de cache-miss	255
9.15	Caches multiniveaux	257
9.16	En résumé	258
	Exercices corrigés	259
Chapitre 10	Mémoire virtuelle	273
10.1	Objectifs	273
10.2	Introduction	273
10.3	Traduction d'adresse	275
10.4	Pagination à la demande et permutation	277
10.5	Tables de pages	278
10.5.1	Tables de pages à plusieurs niveaux	281
10.5.2	Tables de pages inversées	283

10.6	Tampons de traduction anticipée	
10.6.1	Miss TLB et défaillances de page	284
10.6.2	Structure des tampons de traduction anticipée	285
10.6.3	Hyperpages (blocs de pages)	
10.7	Protection de mémoire	286
10.8	Caches et mémoire virtuelle	287
10.9	En résumé	288
	Exercices corrigés	290
Chapitre 11	E/S	
11.1	Objectifs	301
11.2	Introduction	301
11.3	Bus d'E/S	301
11.3.1	PRINCIPE	302
11.3.2	Accès au bus d'E/S	303
11.4	Interruptions	304
11.4.1	Implémentations des interruptions	305
11.4.2	Priorités d'interruption	306
11.4.3	Scrutation et interruption	307
11.5	E/S mappées en mémoire	308
11.6	Accès direct à la mémoire	309
11.7	Périphériques d'E/S	312
11.8	Systèmes disque	313
11.8.1	Structure des disques durs	314
11.8.2	Algorithmes de gestion des requêtes	315
11.9	En résumé	316
	Exercices corrigés	319
Chapitre 12	Systèmes Multiprocesseurs	
12.1	Objectifs	331
12.2	Introduction	331
12.3	Accélération et performance	331
12.3.1	Limites d'accélération	332
12.3.2	Accélération superlinéaire	333
12.4	Systèmes multiprocesseurs	334
12.5	Systèmes de passage de messages	335
12.6	Systèmes de mémoire partagée	338
12.6.1	Modèles de cohérence mémoire	339
12.6.2	Cohérence forte	339
12.6.3	Cohérence de cache	340
		341

12.6.4	Protocole MESI	343
12.6.5	Systèmes de mémoire partagée à bus	344
12.6.6	Synchronisation	345
12.7	Comparaison entre passage de messages et mémoire partagée	346
12.8	En résumé	347
	Exercices corrigés	348
	Index	357