

Sommaire :

Partie 1. Modélisation, synthèse et vérification : le même langage

- Introduction à SystemVerilog
- Positionnement du langage HDVL
- Modélisation et conception numérique
- Premiers exemples et exploration du langage
- Concepts fondamentaux de simulation et synthèse

Partie 2. Structures et algorithmes

- Types et objets du langage
- Structures de données
- Instructions et contrôle d'exécution
- Processus parallèles et séquentiels
- Fonctions et tâches
- Gestion des communications et synchronisation
- Construction d'algorithmes matériels

Partie 3. Décrire le circuit

- Description RTL (Register Transfer Level)
- Modules synthétisables
- Architecture matérielle
- Interfaces et hiérarchie de conception
- Machines à états (FSM)
- Tests unitaires associés à la conception
- Simulation et validation du circuit

Partie 4. Vers la vérification

- Principes de vérification fonctionnelle
- Bancs de test (testbenches)
- Programmation orientée objet en SystemVerilog
- Assertions et contrôle du comportement
- Génération aléatoire et couverture
- Méthodologies de vérification
- **VMM Library** (*Verification Methodology Manual*)
- **OVM Library** (*Open Verification Methodology*)
- Mise en place d'environnements de vérification complexes

Annexes et exercices corrigés

- Exercices d'application
- Corrections et exemples complets
- Ressources complémentaires et téléchargement des codes exemples