

Table des matières

Chapitre 1. De l'idée au produit	15
Ahmed-Amine JERRAYA	
1.1. Introduction	15
1.2. Les systèmes sur puces	16
1.3. La conception des systèmes sur puces	20
1.4. Structure de l'ouvrage.	23
Chapitre 2. La conception logique	27
Marc RENAUDIN	
2.1. Introduction	27
2.2. Anatomie d'un circuit digital synchrone	28
2.2.1. Origine, adéquation technologique	28
2.2.2. Fonctions combinatoires ou sans mémoire	28
2.2.3. Fonctions à mémoire	29
2.2.4. Conclusion	31
2.3. Modélisation des circuits digitaux synchrones : le modèle RTL	32
2.3.1. Objets et types	33
2.3.2. Fonctions séquentielles et combinatoires	34
2.3.3. Fonctions séquentielles à mémoire	34
2.3.3.1. Le signal d'horloge	34
2.3.3.2. Eléments mémoire sensibles sur front	35
2.3.3.3. Eléments mémoire sensibles sur niveau.	38
2.3.4. Modélisation de fonctions combinatoires, sans mémoire	40
2.3.5. Conclusion	41
2.4. Illustration du processus de synthèse : une machine à états finis	41
2.4.1. Modélisation par un diagramme de transition d'état	42
2.4.2. Modélisation fonctionnelle	43
2.4.3. Modélisation synthétisable.	46
2.4.4. Modélisation synthétisable raffinée	48

10	Conception logique des systèmes monopuces	50
2.4.5	Du langage aux équations logiques	54
2.4.6	Optimisation des équations logiques	59
2.4.7	Cibles technologiques	60
2.5	Conclusion	60
2.6	Bibliographie	60

Chapitre 3. La conception physique : placement, routage et vérification du layout		65
Kholdoun TORIKI		

3.1	Introduction	65
3.2	La représentation physique d'un circuit intégré	66
3.2.1	Introduction	66
3.2.2	Le dessin des masques et ses règles	66
3.2.3	La représentation hiérarchique et notion d'instance	70
3.2.4	La distribution d'alimentation	73
3.2.4.1	L'alimentation en technologies CMOS	73
3.2.4.2	Les différents styles de distribution d'alimentation	73
3.2.4.3	Techniques contre l'électromigration	75
3.2.5	Les plots d'entrée/sortie	76
3.3	Les circuits à base de cellules précaractérisées (<i>Standard Cells</i>)	79
3.4	Flots de conception physique à base de cellules précaractérisées	84
3.4.1	Introduction	84
3.4.2	Le flot de conception submicronique profond (DSM)	84
3.4.3	Performance en vitesse, surface, consommation en DSM	85
3.4.4	Les langages de description intervenant dans le flot physique	90
3.4.5	La distribution d'horloge	91
3.4.5.1	Le problème de <i>skew</i> et délai de l'horloge du circuit	91
3.4.5.2	Les solutions	92
3.4.6	Le routage automatique	94
3.4.7	L'extraction des composants parasites	95
3.5	La vérification physique	95
3.5.1	L'extraction de la nelistte physique en vue de la vérification	96
3.5.2	La vérification électrique (ERC)	96
3.5.3	La vérification des règles de dessin (DRC)	99
3.5.4	La vérification physique finale pour la fabrication	99
3.6	Etat de l'art des outils et perspectives	100
3.6.1	La synthèse logique guidée par placement	100
3.6.2	Les outils nécessaires pour les systèmes sur une puce	102
3.7	Conclusion	104
3.8	Bibliographie	104

Chapitre 4. Le test		107
Christian LANDRAULT		

4.1	Introduction	107
4.2	Défaillances physiques, caractérisation et modèles de fautes	109
4.2.1	Introduction	109
4.2.1.1	Les erreurs de conception	110
4.2.1.2	Les défauts de fabrication	110
4.2.2	Défaillances physiques et défauts de fabrication	111
4.2.3	Monitoring des défauts	112
4.2.4	Modèles de défauts	112
4.2.4.1	Le modèle de collage simple	113
4.2.4.2	Autres modèles de fautes	113
4.3	Analyse de testabilité	114
4.4	Génération de vecteurs de test	114
4.4.1	Introduction	114
4.4.2	Génération au niveau structurel	114
4.4.2.1	Génération au niveau structurel (circuits combinatoires)	114
4.4.2.2	Génération au niveau structurel (circuits séquentiels)	116
4.4.3	Génération de vecteurs de test au niveau fonctionnel	117
4.4.3.1	Introduction	117
4.4.3.2	Test des mémoires	118
4.5	La simulation de fautes	121
4.6	Conception en vue d'une meilleure testabilité (CVT)	122
4.6.1	Introduction	122
4.6.2	Techniques <i>ad hoc</i>	123
4.6.3	Approches structurées	124
4.6.3.1	Principe du <i>scan path</i>	125
4.6.3.2	Application des techniques de scan	127
4.6.3.3	<i>Scan path</i> partiel	128
4.6.3.4	Critères à prendre en compte pour une approche de type scan	128
4.6.4	La norme IEEE 1149.1 <i>Boundary Scan</i>	129
4.7	Le test intégré	131
4.7.1	Introduction	131
4.7.2	Test intégré des circuits logiques (LogicBIST)	133
4.7.2.1	Mise en œuvre pratique du test intégré	133
4.7.2.2	Génération des vecteurs de test	135
4.7.2.3	Analyse de la réponse du circuit	135
4.7.3	Test intégré des mémoires	136
4.8	Bibliographie	137

Chapitre 5. La conception de systèmes asynchrones		143
Marc RENAUDIN		

5.1	Introduction	146
5.2	Principes de fonctionnement	147

5.2.1. Le mode de fonctionnement asynchrone	147
5.2.2. Des opérateurs aux caractéristiques plus complexes	148
5.2.3. Le principe de base : un contrôle local	150
5.2.3.1. Protocoles de communications	151
5.2.3.2. Codage des données	153
5.2.3.3. Signaux de fin de calcul	155
5.2.4. Classification des circuits asynchrones	157
5.2.4.1. Une conception délicate : les aléas	158
5.2.4.2. Modèles de délais, de circuits et d'environnements	160
5.2.4.3. Les classes de circuits asynchrones	161
5.2.5. Conclusion	166
5.3. Propriétés	167
5.3.1. Calcul en temps minimum	171
5.3.2. Un pipeline « élastique »	171
5.3.2.1. Structure de base	173
5.3.2.2. Modélisation et comportement	175
5.3.2.3. Anneaux auto-séquences	178
5.3.3. Un support fiable pour les traitements non déterministes	178
5.3.4. Modularité	179
5.3.5. L'absence d'horloge	180
5.3.6. Faible bruit	181
5.3.7. Faible consommation	183
5.3.8. Migration	184
5.4. Méthodologies et outils de conception	184
5.4.1. Suppression des aléas	185
5.4.2. Les principales méthodes de conception de circuits asynchrones	185
5.4.2.1. Circuits insensibles aux délais	186
5.4.2.2. Circuits quasi insensibles aux délais	189
5.4.2.3. Circuits indépendants de la vitesse	192
5.4.2.4. Circuits de Huffman et <i>burst mode</i>	193
5.4.2.5. Micropipeline	194
5.4.3. Méthodes basées langages	194
5.4.4. Testabilité	195
5.5. Quelques réalisations significatives : les processeurs asynchrones	196
5.5.1. Produits commerciaux	196
5.5.1.1. Microcontrôleur 80C51 (Philips Research & Semiconductor)	198
5.5.1.2. Data Driven Media Processor (Sharp)	198
5.5.2. Processeurs asynchrones	198
5.5.2.1. Caltech Asynchronous Processor (Caltech, 1989)	199
5.5.2.2. AMULET1-2e-3i (Université de Manchester, 95, 96, 00)	200
5.5.2.3. TITAC-2 (Univ. et Inst. de Technologie de Tokyo, 94, 97)	202
5.5.2.4. ASPRO (TIMA et FT R&D Grenoble, 99)	202
5.5.2.5. MICA (TIMA et FT R&D Grenoble, 00)	203
5.5.2.6. MiniMIPS (Caltech, 99)	203
5.5.3. Comparaison	203
5.6. Perspectives	205

5.6.1. Variation des temps de propagation	205
5.6.2. Bruits	205
5.6.3. Consommation	207
5.6.4. Synchronisation	208
5.6.5. Réutilisation	208
5.6.6. Outils de conception	209
5.7. Conclusion	210
5.8. Bibliographie	212
Chapitre 6. Les outils de CAO de circuits et de systèmes	221
Eric MARTIN	
6.1. Conception RTL et logique	222
6.2. Conception physique	224
6.2.1. Synthèse physique	224
6.2.2. Extraction de RC et vérifications physiques	232
6.2.2.1. Analyse statique des temps	232
6.2.2.2. Simulation électrique	237
6.2.2.3. Dessin de cellules et blocs <i>full-custom</i>	238
6.2.2.4. Optimisation physique	240
6.3. Conclusion	240
6.4. Abréviations	241
6.5. Bibliographie	243
Index	245